



⑮ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 195 45 903 A 1**

⑥① Int. Cl.⁸:
H 01 L 27/112
H 01 L 21/8248
// G11C 17/08

②① Aktenzeichen: 195 45 903.2
②② Anmeldetag: 8. 12. 95
②③ Offenlegungstag: 12. 6. 97

DE 195 45 903 A 1

⑦① Anmelder:
Siemens AG, 80333 München, DE

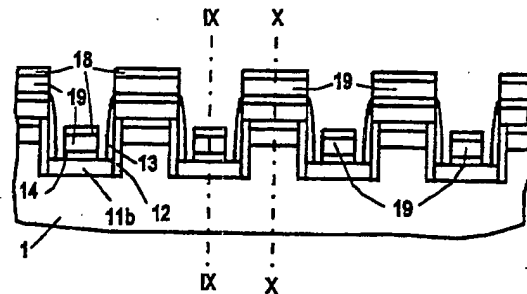
⑦② Erfinder:
Krautschneider, Wolfgang, Dipl.-Ing. Dr., 83104
Tuntenhausen, DE; Lau, Frank, Dipl.-Phys. Dr., 83052
Bruckmühl, DE; Hofmann, Franz, Dr., 80995
München, DE

⑤⑥ Entgegenhaltungen:
US 53 08 941
US 53 00 804
JP 04-2 26 071 A
JP 03-1 90 165 A
KAWAGOE, H., TSUJI, N.: Minimum Size ROM
Structure Compatible with Silicon-Gate E/D MOS
LSI;
US-Z.: IEEE Journal of Solid-State Circuits, Vol.
SC-11, No. 3, June 1976, p. 360-364;

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Festwertspeicherzellenanordnung und Verfahren zu deren Herstellung

⑤⑦ Eine Festwertspeicherzellenanordnung umfaßt planare MOS-Transistoren, die in parallel verlaufenden Zeilen angeordnet sind. Benachbarte Zeilen verlaufen abwechselnd am Boden von Längsgräben (8) und zwischen benachbarten Längsgräben (6). Die Bitleitungen (11a, 12, 11b) verlaufen quer und die Wortleitungen (19) parallel zu den Längsgräben (8). Die Speicherzellenanordnung ist mit einer Fläche pro Speicherzelle von $2F^2$ (F: minimale Strukturgröße) herstellbar.



DE 195 45 903 A 1

Für viele elektronische Systeme werden Speicher benötigt, in die Daten fest eingeschrieben werden. Derartige Speicher werden unter anderem als Festwertspeicher, Lesespeicher oder Read Only Memory bezeichnet.

Für sehr große Datenmengen werden als Lesespeicher vielfach Kunststoffscheiben verwendet, die mit Aluminium beschichtet sind. In der Beschichtung weisen diese Kunststoffscheiben zweierlei punktartige Vertiefungen auf, die den logischen Werten Null und Eins zugeordnet werden. In der Anordnung dieser Vertiefungen ist die Information digital abgespeichert. Derartige Scheiben werden als Kompaktdisc bezeichnet und sind zur digitalen Abspeicherung von Musik verbreitet.

Zum Lesen der auf einer Kompaktdisc gespeicherten Daten wird ein Lesegerät verwendet, in dem die Scheibe mechanisch rotiert. Die punktartigen Vertiefungen werden über eine Laserdiode und eine Photozelle abgetastet. Atypische Abtastraten sind dabei 2×40 kHz. Auf einer Kompaktdisc können 5 Gbit Informationen gespeichert werden.

Das Lesegerät weist bewegte Teile auf, die mechanischem Verschleiß unterworfen sind, die vergleichsweise viel Volumen benötigen und die nur einen langsamen Datenzugriff erlauben. Das Lesegerät ist darüber hinaus empfindlich gegen Erschütterungen und daher in mobilen Systemen nur begrenzt einsetzbar. Zur Speicherung kleinerer Datenmengen sind Festwertspeicher auf Halbleiterbasis bekannt. Vielfach werden diese als planare integrierte Siliziumschaltung realisiert, in der MOS-Transistoren verwendet werden. Die MOS-Transistoren werden jeweils über die Gateelektrode, die mit der Wortleitung verbunden ist, ausgewählt. Der Eingang des MOS-Transistors ist mit einer Referenzleitung verbunden, der Ausgang mit einer Bitleitung. Beim Lesevorgang wird bewertet, ob ein Strom durch den Transistor fließt oder nicht. Entsprechend wird die gespeicherte Information zugeordnet. Technisch wird die Speicherung der Information meist dadurch bewirkt, daß die MOS-Transistoren durch unterschiedliche Implantation im Kanalgebiet unterschiedliche Einsatzspannungen aufweisen.

Diese Speicher auf Halbleiterbasis erlauben einen wahlfreien Zugriff auf gespeicherte Informationen. Die zum Lesen der Information erforderliche elektrische Leistung ist deutlich kleiner als bei einem Lesegerät mit einem mechanischen Laufwerk. Da zum Lesen der Information kein mechanisches Laufwerk erforderlich ist, entfällt der mechanische Verschleiß und die Empfindlichkeit gegenüber Erschütterungen. Festwertspeicher auf Halbleiterbasis sind daher auch für mobile Systeme einsetzbar.

Zur Erhöhung der Speicherdichte in planaren Siliziumspeichern ist vorgeschlagen worden, die MOS-Transistoren zeilenweise anzuordnen. In jeder Zeile sind die MOS-Transistoren in Reihe verschaltet. Durch zeilenweises Ansteuern im Sinne einer NAND- oder NOR-Architektur werden die MOS-Transistoren ausgelesen. Dazu sind pro Zeile nur zwei Anschlüsse erforderlich, zwischen denen in der Zeile angeordnete MOS-Transistoren in Reihe verschaltet sind. Miteinander verbundene Source/Drain-Gebiete benachbarter MOS-Transistoren können dann als zusammenhängendes dotiertes Gebiet realisiert sein. Dadurch kann der Flächenbedarf pro Speicherzelle auf theoretisch $4F^2$ (F : in der jeweiligen Technologie kleinste herstellbare Strukturgröße) reduziert werden. Eine solche Speicherzellenanordnung

ist zum Beispiel aus H. Kawagoe und N. Tsuji, IEEE J. Solid-State Circ., vol. SC-11, P. 360 (1976), bekannt.

Der Erfindung liegt das Problem zugrunde, eine Festwertspeicherzellenanordnung auf Halbleiterbasis anzugeben, bei der eine erhöhte Speicherdichte erzielt wird und die mit wenigen Herstellungsschritten und hoher Ausbeute herstellbar ist. Desweiteren soll ein Verfahren zur Herstellung einer solchen Speicherzellenanordnung angegeben werden.

Dieses Problem wird gelöst durch eine Festwertspeicherzellenanordnung gemäß Anspruch 1 sowie durch ein Verfahren zu deren Herstellung gemäß Anspruch 7. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

Die erfindungsgemäße Festwertspeicherzellenanordnung umfaßt in einem Halbleitersubstrat, vorzugsweise aus monokristallinem Silizium, eine Vielzahl einzelner Speicherzellen. Die Speicherzellen umfassen jeweils mindestens einen MOS-Transistor. Die Speicherzellen sind jeweils in Zeilen angeordnet, die im wesentlichen parallel verlaufen. In einer Hauptfläche des Halbleitersubstrats sind Längsgräben vorgesehen, die im wesentlichen parallel zu den Zeilen verlaufen. Die Zeilen sind jeweils abwechselnd auf der Hauptfläche zwischen benachbarten Längsgräben und auf dem Boden der Längsgräben angeordnet. Quer zu den Zeilen verlaufen Bitleitungen, die jeweils mit Source/Drain-Gebieten von entlang unterschiedlichen Zeilen angeordneten MOS-Transistoren verbunden sind. Oberhalb der Zeilen sind Wortleitungen angeordnet, die jeweils mit den Gateelektroden von entlang einer Zeile angeordneten MOS-Transistoren verbunden sind.

Um die Ausbildung leitender Kanäle zwischen benachbarten Zeilen im Halbleitersubstrat zu verhindern, ist es vorteilhaft, im Halbleitersubstrat zwischen benachbarten Längsgräben dotierte Schichten vorzusehen, die als Kanalstopper wirken.

Die Festwertspeicherzellenanordnung ist mit einem Flächenbedarf pro Speicherzelle von $2F^2$ (F : minimale Strukturgröße in der jeweiligen Technologie) realisierbar. Dazu werden die MOS-Transistoren von entlang einer Zeile angeordneten Speicherzellen in Reihe verschaltet. Miteinander verbundene Source/Drain-Gebiete von entlang einer Zeile benachbarten MOS-Transistoren sind dabei als zusammenhängendes dotiertes Gebiet im Halbleitersubstrat ausgebildet. Entlang einer Bitleitung, das heißt quer zum Verlauf der Längsgräben, verbundene Source/Drain-Gebiete sind dabei über dotierte Gebiete im Halbleitersubstrat miteinander verbunden. Die dotierten Gebiete sind dabei jeweils in den Seitenwänden der Längsgräben angeordnet. Die Bitleitungen werden in dieser Ausführungsform jeweils durch die Source/Drain-Gebiete und die diese verbindenden dotierten Gebiete in den Seitenwänden der Längsgräben gebildet.

Werden die Längsgräben mit einer Grabenweite von F und im Abstand F gebildet und beträgt die Ausdehnung der zusammenhängenden dotierten Gebiete, die jeweils als miteinander verbundene Source/Drain-Gebiete von zwei MOS-Transistoren wirken, F und die Ausdehnung des Kanalgebietes F , so ergibt sich ein Platzbedarf pro Speicherzelle von $2F^2$, weil jedes der zusammenhängenden dotierten Gebiete zwei benachbarten Speicherzellen angehört und weil benachbarte Zeilen von Speicherzellen unmittelbar nebeneinander angeordnet sind. Die Isolation benachbarter Zeilen von Speicherzellen wird durch die Anordnung am Boden des Längsgrabens und auf der Hauptfläche des Halbleiter-

substrats zwischen benachbarten Längsgräben sichergestellt.

Es liegt im Rahmen der Erfindung, daß die MOS-Transistoren je nach in der jeweiligen Speicherzelle eingespeicherter Information unterschiedliche Schwellenspannungen aufweisen. Zur Abspeicherung von Daten in digitaler Form weisen die MOS-Transistoren zwei unterschiedliche Schwellenspannungen auf. Soll die Festwertspeicherzellenanordnung für Mehrwertlogik eingesetzt werden, so weisen die MOS-Transistoren je nach eingespeicherter Information mehr als zwei unterschiedliche Schwellenspannungen auf.

Es liegt im Rahmen der Erfindung, unterschiedliche Schwellenspannungen der MOS-Transistoren durch unterschiedliche Kanaldotierungen der MOS-Transistoren zu realisieren.

Gemäß einer Ausführungsform der Erfindung weisen die MOS-Transistoren als Gatedielektrikum eine dielektrische Mehrfachsicht auf. In der dielektrischen Mehrfachsicht ist mindestens eine Schicht vorgesehen, die im Vergleich mit mindestens einer weiteren Schicht in der Mehrfachsicht einen erhöhten Elektreneinfangquerschnitt aufweist. Vorzugsweise umfaßt die dielektrische Mehrfachsicht eine SiO_2 -Schicht, eine Si_3N_4 -Schicht und eine SiO_2 -Schicht (sogenanntes ONO). Diese Ausführungsform der Festwertspeicherzellenanordnung ist durch Injektion von Elektronen aus dem Kanalbereich der MOS-Transistoren in die Mehrfachsicht einmal programmierbar. Die injizierten Elektronen werden von Haftstellen in der Grenzschicht zwischen SiO_2 und Si_3N_4 festgehalten und erhöhen die Schwellenspannung des MOS-Transistors. Je nach in der jeweiligen Speicherzelle einzuspeichernder Information wird auf diese Weise die Schwellenspannung des jeweiligen MOS-Transistors gezielt verändert.

Vorzugsweise erfolgt die Herstellung der Festwertspeicherzellenanordnung unter Einsatz selbstjustierender Prozeßschritte, so daß der Platzbedarf pro Speicherzelle reduziert werden kann. Zur Herstellung der Festwertspeicherzellenanordnung werden in einer Hauptfläche eines Halbleitersubstrats im wesentlichen parallel verlaufende Längsgräben geätzt. Es werden eine Vielzahl in Zeilen angeordneter Speicherzellen, die jeweils mindestens einen MOS-Transistor umfassen, erzeugt, wobei die Zeilen abwechselnd an der Hauptfläche zwischen benachbarten Längsgräben und am Boden der Längsgräben angeordnet sind. Die Source/Drain-Gebiete der MOS-Transistoren werden durch Implantation erzeugt, wobei eine Source/Drain-Maske verwendet wird, die die Anordnung der Source/Drain-Gebiete der Speicherzellen definiert. Unter Verwendung der Source/Drain-Maske als Implantationsmaske werden nachfolgend durch eine gewinkelte Implantation in den Seitenwänden der Längsgräben dotierte Gebiete gebildet, die entlang unterschiedlichen Zeilen angeordnete Source/Drain-Gebiete miteinander verbinden. Oberhalb der Zeilen werden Wortleitungen erzeugt, die jeweils mit den Gateelektroden von entlang einer Zeile angeordneten MOS-Transistoren verbunden sind. Die über dotierte Gebiete in den Seitenwänden der Längsgräben miteinander verbundenen Source/Drain-Gebiete, die entlang unterschiedlicher Zeilen angeordnet sind, bilden in der Festwertspeicherzellenanordnung Bitleitungen.

Um die Ausbildung leitender Kanäle im Halbleitersubstrat zwischen benachbarten Zeilen zu unterdrücken, ist es vorteilhaft, vor der Bildung der Längsgräben im Halbleitersubstrat eine dotierte Schicht zu erzeugen,

die beim Ätzen der Längsgräben durchätzt wird und die in der Festwertspeicherzellenanordnung als Kanalstopper wirkt.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der Figuren näher erläutert. Die Darstellungen in den Figuren sind nicht maßstäblich.

Fig. 1 zeigt ein Siliziumsubstrat nach einer ersten Kanalimplantation.

Fig. 2 zeigt das Siliziumsubstrat nach einer Grabenätzung und einer zweiten Kanalimplantation.

Fig. 3 zeigt eine Aufsicht auf das Siliziumsubstrat mit einer Source/Drain-Maske nach einer Implantation zur Bildung der Source/Drain-Gebiete und einer gewinkelten Implantation zur Bildung von dotierten Gebieten in den Seitenwänden der Längsgräben.

Fig. 4 zeigt den in Fig. 3 mit IV-IV bezeichneten Schnitt durch das Siliziumsubstrat.

Fig. 5 zeigt den in Fig. 3 mit V-V bezeichneten Schnitt durch das Siliziumsubstrat.

Fig. 6 zeigt einen Schnitt durch das Siliziumsubstrat nach Bildung eines Gatedielektrikums, Abscheidung einer leitfähigen Schicht und einer Si_3N_4 -Schicht.

Fig. 7 zeigt einen Schnitt durch das Siliziumsubstrat nach Bildung von Si_3N_4 -Spacern und einer Oxidmaske zur Strukturierung der leitfähigen Schicht.

Fig. 8 zeigt einen Schnitt durch das Siliziumsubstrat nach Bildung von Wortleitungen durch Strukturierung der leitfähigen Schicht.

Fig. 9 zeigt den in Fig. 8 mit IX-IX bezeichneten Schnitt.

Fig. 10 zeigt den in Fig. 8 mit X-X bezeichneten Schnitt.

Fig. 11 zeigt ein Schaltbild der Festwertspeicherzellenanordnung.

Zur Herstellung einer Festwertspeicherzellenanordnung in einem Substrat 1 aus zum Beispiel monokristallinem Silizium wird zunächst an einer Hauptfläche 2 des Substrats 1 eine Isolationsstruktur erzeugt, die den Bereich für die Festwertspeicherzellenanordnung definiert (nicht dargestellt) und die gleichzeitig aktive Gebiete für eine Peripherie der Festwertspeicherzellenanordnung definieren kann. Die Isolationsstruktur wird zum Beispiel in einem LOCOS-Prozeß oder in einem Shallow Trench Isolation-Prozeß gebildet. Das Substrat 1 ist zum Beispiel p-dotiert mit einer Dotierstoffkonzentration von $5 \times 10^{15} \text{ cm}^{-3}$.

Anschließend wird eine Implantation mit Bor durchgeführt zur Bildung einer Channel-Stop-Schicht 3. Die Borimplantation erfolgt mit einer Dosis von zum Beispiel $6 \times 10^{13} \text{ cm}^{-2}$ und einer Energie von zum Beispiel 120 keV. Dadurch wird die Channel-Stop-Schicht 3 in einer Tiefe von zum Beispiel 0,3 µm unterhalb der Hauptfläche 2 in einer Dicke von 0,3 µm hergestellt (siehe Fig. 1).

Mit Hilfe eines photolithographischen Verfahrens werden dann Bereiche für die Depletion-Kanäle von MOS-Transistoren definiert. Mit Hilfe einer ersten Kanalimplantation mit Arsen mit einer Energie von 50 keV und einer Dosis von zum Beispiel $4 \times 10^{13} \text{ cm}^{-2}$ werden die Depletion-Kanäle 4 gebildet. Die Ausdehnung der Depletion-Kanäle 4 parallel zur Hauptfläche 2 beträgt bei Verwendung einer 0,4 µm Technologie zum Beispiel 0,6 µm × 0,6 µm.

Durch Abscheidung einer SiO_2 -Schicht in einer Dicke von zum Beispiel 200 nm mit Hilfe eines TEOS-Verfahrens wird durch Strukturierung der SiO_2 -Schicht mit Hilfe photolithographischer Verfahren eine Grabenmaske 5 gebildet (siehe Fig. 2).

Durch anisotropes Ätzen zum Beispiel mit Cl_2 werden unter Verwendung der Grabenmaske 5 als Ätzmaste Längsgräben 6 geätzt. Die Längsgräben 6 weisen eine Tiefe von zum Beispiel 0,6 μm auf. Die Längsgräben 6 reichen bis in das Substrat 1 hinein, sie durchtrennen die Channel-Stop-Schicht 3. Die Breite der Depletion-Kanäle 4 wird bei der Ätzung der Längsgräben 6 eingestellt. Daher ist die Justierung der Grabenmaske 5 relativ zu den Depletion-Kanälen 4 unkritisch.

Durch Abscheidung einer weiteren SiO_2 -Schicht in einem TEOS-Verfahren und anschließendes anisotropes Ätzen werden an den Seitenwänden der Längsgräben 6 Spacer 7 aus SiO_2 gebildet. Mit Hilfe eines photolithographischen Verfahrens werden anschließend Bereiche für die Depletion-Kanäle für MOS-Transistoren, die nachfolgend am Boden der Längsgräben 6 hergestellt werden, definiert. Mit einer zweiten Kanalimplantation mit zum Beispiel Arsen und einer Energie von zum Beispiel 50 keV und einer Dosis von zum Beispiel $4 \times 10^{13} \text{ cm}^{-2}$ werden am Boden der Längsgräben 6 Depletion-Kanäle 8 erzeugt. Die Bereiche zwischen benachbarten Längsgräben 6 sind dabei durch die Grabenmaske 5 und die Spacer 7 maskiert. Die Justierung bei der Definition der Depletion-Kanäle 8 ist daher unkritisch. Bezüglich der Seitenwände der Längsgräben 6 ist die zweite Kanalimplantation selbstjustiert.

Anschließend wird die Grabenmaske 5 naßchemisch zum Beispiel mit $\text{NH}_4\text{F}/\text{HF}$ entfernt. Dabei werden auch die Spacer 7 entfernt.

Auf die Siliziumoberfläche wird eine dünne SiO_2 -Schicht 9 in einer Dicke von zum Beispiel 20 nm aufgewachsen. Die dünne SiO_2 -Schicht 9 verbessert im Sinne eines sacrificial Oxide die Siliziumoberfläche.

Anschließend wird ganz flächig eine Polysiliziumschicht abgeschieden. Die Polysiliziumschicht wird in einer Dicke von zum Beispiel 500 nm erzeugt. Sie ist zum Beispiel intrinsisch dotiert. Mit Hilfe photolithographischer Prozessschritte wird durch Strukturierung der Polysiliziumschicht eine Source/Drain-Maske 10 gebildet (siehe Fig. 3, Fig. 4, Fig. 5). Die Source/Drain-Maske 10 definiert die Anordnung nachfolgend herzustellender Source/Drain-Gebiete. Sie weist Polysiliziumstreifen auf, die die Siliziumoberfläche jeweils in den Bereichen abdecken, in denen im folgenden Kanalbereiche für MOS-Transistoren entstehen.

Durch eine Implantation mit Arsen mit einer Energie von ca. 80 keV und einer Dosis von ca. $5 \times 10^{15} \text{ cm}^{-2}$ werden obere Source/Drain-Gebiete 11a im Bereich der Hauptfläche 2 jeweils zwischen benachbarten Längsgräben 6 und untere Source/Drain-Gebiete 11b am Boden der Längsgräben 6 gebildet. Die Implantation erfolgt im wesentlichen senkrecht zur Hauptfläche 2 (siehe Fig. 3 und Fig. 5).

Durch eine Ionenimplantation mit einem Neigungswinkel von zum Beispiel 40° werden in den Seitenwänden der Längsgräben 6 dotierte Gebiete 12 gebildet, die jeweils ein oberes Source/Drain-Gebiet 11a mit einem unteren Source/Drain-Gebiet 11b miteinander verbinden (siehe Fig. 5). Die gewinkelte Implantation erfolgt zum Beispiel mit Arsen mit einer Energie von $5 \times 10^{15} \text{ cm}^{-2}$ und einer Dosis von $5 \times 10^{15} \text{ cm}^{-2}$.

Anschließend wird die Source/Drain-Maske 10 durch eine trockene oder nasse Ätzung, die selektiv zu SiO_2 Polysilizium angreift, entfernt. Dabei wirkt die dünne SiO_2 -Schicht 9 als Ätzstop. Die Source/Drain-Maske 10 wird zum Beispiel naß mit Polysiliziumätze ($\text{HF}/\text{HNO}_3/\text{H}_2\text{O}$) oder trocken mit HBr und Cl_2 entfernt.

Anschließend wird die dünne SiO_2 -Schicht 9 zum Bei-

spiel mit Flußsäure (HF) entfernt.

Durch Abscheidung einer SiO_2 -Schicht in einem TEOS-Verfahren und anschließendes anisotropes Ätzen werden an den Seitenwänden der Längsgräben 6 SiO_2 -Spacer 13 gebildet (siehe Fig. 6).

Durch thermische Oxidation wird ein Gatedielektrikum 14 aus zum Beispiel SiO_2 in einer Dicke von zum Beispiel 10 nm gebildet. Anschließend wird ganzflächig eine oxidierbare leitfähige Schicht 15 in einer Dicke von zum Beispiel 100 bis 200 nm erzeugt. Die oxidierbare leitfähige Schicht 15 wird vorzugsweise aus dotiertem Polysilizium gebildet. Alternativ kann die oxidierbare leitfähige Schicht 15 aus einem Metallsilizid oder einer Kombination aus dotiertem Polysilizium und Silizid bestehen.

Es wird ganz flächig eine Si_3N_4 -Schicht 16 in einer Dicke von zum Beispiel 30 bis 80 nm abgeschieden. Durch anisotropes Ätzen werden planare Teile der Si_3N_4 -Schicht 16 entfernt und Si_3N_4 -Spacer 17 gebildet. Dabei wird die Oberfläche der oxidierbaren leitfähigen Schicht 15 in planaren Bereichen freigelegt. Die Si_3N_4 -Spacer 17 decken die oxidierbare leitfähige Schicht 15 im Bereich der Seitenwände der Längsgräben 6 ab (siehe Fig. 7).

Anschließend werden frei liegende Bereiche der oxidierbaren leitfähigen Schicht 15 oxidiert. Die Si_3N_4 -Spacer 17 wirken als Oxidationsmaske und erlauben die selektive Oxidation in den planaren Bereichen der oxidierbaren leitfähigen Schicht 15. Dabei wird eine Oxidmaske 18 gebildet, die die planaren Bereiche der oxidierbaren leitfähigen Schicht 15 bedeckt.

Anschließend werden die Si_3N_4 -Spacer 17 entfernt. In einem Ätzprozeß, der die oxidierbare leitfähige Schicht 15 selektiv zu der Oxidmaske 18 angreift, wird die oxidierbare leitfähige Schicht 15 strukturiert. Dabei entstehen am Boden der Längsgräben 6 sowie zwischen benachbarten Längsgräben 6 parallel zu den Längsgräben 6 verlaufende Wortleitungen 19 (siehe Fig. 8, Fig. 9 und Fig. 10). Durch die selektive Oxidation zur Bildung der Oxidmaske 18 ist es möglich, selbstjustiert zum Verlauf der Längsgräben 6 die Wortleitungen 19 zu strukturieren, deren Breite insbesondere am Boden der Längsgräben 6 geringer als die minimale Strukturgröße F ist.

Die Festwertspeicherzellenanordnung ist in einer NOR-Konfiguration verschaltet (siehe Fig. 11). Diese Schaltungsarchitektur ermöglicht innerhalb kurzer Zeitkonstanten einen Zugriff auf jede einzelne Speicherzelle. In Fig. 11 sind die Wortleitungen mit WL, die Bitleitungen mit BL bezeichnet.

Die Festwertspeicherzellenanordnung wird fertiggestellt durch Abscheidung eines Zwischenoxids. Anschließend werden Kontaktlöcher geätzt, deren Seitenwände mit isolierenden Spacern versehen werden und die zum Beispiel mit Wolfram aufgefüllt werden. Abschließend wird durch Abscheidung einer Metallschicht und Strukturierung der Metallschicht eine Metallisierungsebene erzeugt (nicht dargestellt).

Das Gatedielektrikum 14 kann alternativ aus einer Schichtenfolge SiO_2 , Si_3N_4 und SiO_2 (ONO) gebildet werden. In diesem Fall kann die Festwertspeicherzellenanordnung einmal programmiert werden durch Elektroneninjektion aus dem Kanalbereich der MOS-Transistoren in das Gatedielektrikum. Im Gatedielektrikum eingefangene Elektronen erhöhen die Schwellenspannung des MOS-Transistors. In diesem Fall entfallen die beiden Kanalimplantationen zur Einstellung unterschiedlicher Schwellenspannungen.

Durch geeignete Wahl der Spannungsbedingungen

während der Elektroneninjektion lassen sich unterschiedliche Schwellenspannungen einstellen, um mehrere logische Werte darzustellen.

Patentansprüche

5

1. Festwertspeicherzellenanordnung,

- bei der eine Vielzahl einzelner Speicherzellen in einem Halbleitersubstrat (1) vorgesehen sind, 10
- bei der die Speicherzellen jeweils in im wesentlichen parallel verlaufenden Zeilen angeordnet sind,
- bei der in einer Hauptfläche (2) des Halbleitersubstrats (1) Längsgräben (6) vorgesehen sind, die im wesentlichen parallel zu den Zeilen verlaufen, 15
- bei der die Zeilen jeweils abwechselnd auf der Hauptfläche (2) zwischen benachbarten Längsgräben (6) und auf dem Boden der Längsgräben (6) angeordnet sind, 20
- bei der die Speicherzellen jeweils mindestens einen MOS-Transistor umfassen,
- bei der quer zu den Zeilen Bitleitungen verlaufen, die jeweils mit Source/Drain-Gebieten (11a, 11b) von entlang unterschiedlichen Zeilen angeordneten MOS-Transistoren verbunden sind, 25
- bei der oberhalb der Zeilen Wortleitungen (19) angeordnet sind, die jeweils mit den Gateelektroden von entlang einer Zeile angeordneten MOS-Transistoren verbunden sind. 30

2. Festwertspeicherzellenanordnung nach Anspruch 1, bei der im Halbleitersubstrat (1) zwischen benachbarten Längsgräben (6) jeweils dotierte Schichten (3) vorgesehen sind, die die Ausbildung leitender Kanäle zwischen benachbarten Zeilen im Halbleitersubstrat (1) verhindern. 35

3. Festwertspeicherzellenanordnung nach Anspruch 1 oder 2, 40

- bei der die MOS-Transistoren von entlang einer Zeile angeordneten Speicherzellen in Reihe verschaltet sind,
- bei der miteinander verbundene Source/Drain-Gebiete von entlang einer Zeile benachbarten MOS-Transistoren als zusammenhängendes dotiertes Gebiet (11a bzw. 11b) im Halbleitersubstrat (1) ausgebildet sind, 45
- bei der die mit einer Bitleitung verbundenen, entlang unterschiedlichen Zeilen angeordneten Source/Drain-Gebiete (11a, 11b) über dotierte Gebiete (12) miteinander verbunden sind, die jeweils in den Seitenwänden der Längsgräben (6) angeordnet sind. 50

4. Festwertspeicherzellenanordnung nach einem der Ansprüche 1 bis 3, bei der die MOS-Transistoren je nach in der jeweiligen Speicherzelle eingespeicherter Information unterschiedliche Schwellenspannungen aufweisen. 55

5. Festwertspeicherzellenanordnung nach einem der Ansprüche 1 bis 3, bei der die MOS-Transistoren als Gatedielektrikum (14) eine dielektrische Mehrfachschicht umfassen mit mindestens einer Schicht, die im Vergleich mit mindestens einer weiteren Schicht einen erhöhten Elektroneneinfangsquerschnitt aufweist. 60

6. Festwertspeicherzellenanordnung nach Anspruch 5, bei der die Mehrfachschicht mindestens 65

eine SiO_2 -Schicht und mindestens eine Si_3N_4 -Schicht umfaßt.

7. Verfahren zur Herstellung einer Festwertspeicherzellenanordnung,

- bei dem in einer Hauptfläche (2) eines Halbleitersubstrats (1) im wesentlichen parallel verlaufende Längsgräben (6) geätzt werden,
- bei dem eine Vielzahl in Zeilen angeordneter Speicherzellen, die jeweils mindestens einen MOS-Transistor umfassen, erzeugt werden, wobei die Zeilen abwechselnd an der Hauptfläche (2) zwischen benachbarten Längsgräben (6) und am Boden der Längsgräben (6) angeordnet sind,
- bei dem eine Source/Drain-Maske (10) erzeugt wird, die die Anordnung der Source/Drain-Gebiete (11a, 11b) der Speicherzellen definiert,
- bei dem die Source/Drain-Gebiete (11a, 11b) durch Implantation erzeugt werden,
- bei dem unter Verwendung der Source/Drain-Maske (10) als Implantationsmaske durch eine gewinkelte Implantation in den Seitenwänden der Längsgräben (6) dotierte Gebiete (12) gebildet werden, die entlang unterschiedlicher Zeilen angeordnete Source/Drain-Gebiete (11a, 11b) miteinander verbinden,
- bei dem oberhalb der Zeilen Wortleitungen (19) erzeugt werden, die jeweils mit den Gateelektroden von entlang einer Zeile angeordneten MOS-Transistoren verbunden sind.

8. Verfahren nach Anspruch 7, bei dem vor der Bildung der Längsgräben (6) im Halbleitersubstrat (1) eine dotierte Schicht (3) erzeugt wird, die beim Ätzen der Längsgräben (6) durchätzt wird und die die Ausbildung leitender Kanäle im Halbleitersubstrat (1) zwischen benachbarten Zeilen verhindert. 35

9. Verfahren nach Anspruch 7 oder 8, bei dem die MOS-Transistoren mit einer dielektrischen Mehrfachschicht als Gatedielektrikum (14) erzeugt werden, die mindestens eine Schicht mit einem in bezug auf mindestens eine weitere Schicht in der Mehrfachschicht erhöhten Elektroneneinfangsquerschnitt aufweist. 40

10. Verfahren nach Anspruch 9, bei dem die Mehrfachschicht mindestens eine Schicht aus SiO_2 und eine Schicht aus Si_3N_4 umfaßt. 45

11. Verfahren nach Anspruch 7 oder 8,

- bei dem vor der Ätzung der Längsgräben (6) eine erste Kanalimplantation zur Einstellung der Schwellenspannung der MOS-Transistoren, die an der Hauptfläche (2) zwischen benachbarten Längsgräben (6) angeordnet sind, durchgeführt wird,
- bei dem nach der Ätzung der Längsgräben (6) eine zweite Kanalimplantation zur Einstellung der Schwellenspannung der MOS-Transistoren, die am Boden der Längsgräben (6) angeordnet sind, durchgeführt wird, wobei die Hauptfläche (2) zwischen benachbarten Längsgräben (6) maskiert ist. 50

12. Verfahren nach Anspruch 11,

- bei dem die Ätzung der Längsgräben (6) unter Verwendung einer SiO_2 enthaltenden Grabenmaske (5) als Ätzmaske erfolgt,
- bei dem die SiO_2 enthaltende Grabenmaske (5) bei der zweiten Kanalimplantation die 55

- Hauptfläche (2) zwischen benachbarten
Längsgräben (6) maskiert,
— bei dem die Grabenmaske (5) nach der
zweiten Kanalimplantation entfernt wird.
13. Verfahren nach einem der Ansprüche 7 bis 12, 5
— bei dem zur Bildung der Wortleitungen (19)
nach Entfernen der Source/Drain-Maske (10),
nach Bildung von isolierenden Spacern (13) an
den Seitenwänden der Längsgräben (6) und
nach Erzeugung eines Gatedielektrikums (14) 10
ganzflächig eine oxidierbare leitfähige Schicht
(15) und darauf eine Siliziumnitridschicht (16)
abgeschieden werden,
— bei dem durch anisotropes Ätzen aus der
Siliziumnitridschicht (16) Siliziumnitridspacer 15
(17) gebildet werden,
— bei dem freiliegende Bereiche der leitfähigen
Schicht (15) durch Oxidation mit einer
Oxidmaske (18) versehen werden,
— bei dem die Siliziumnitridspacer (17) ent- 20
fernt werden,
— bei dem die Wortleitungen (19) durch
Strukturieren der leitfähigen Schicht (15) in ei-
nem Ätzprozeß, in dem die Oxidmaske (18) als
Ätzmaske verwendet wird, gebildet werden. 25

Hierzu 6 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

FIG 7

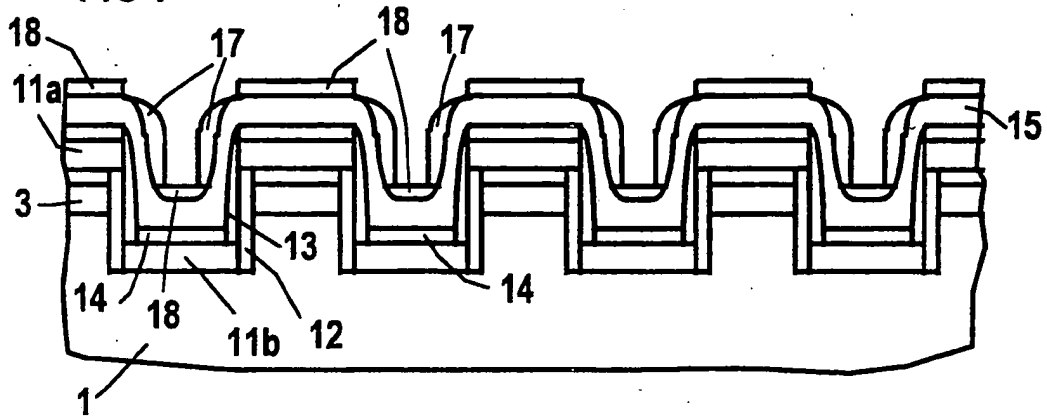


FIG 8

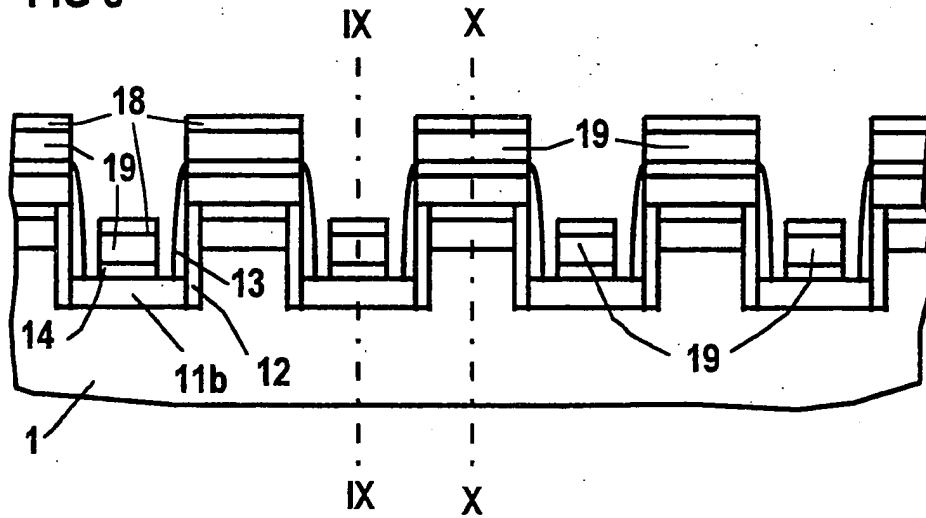


FIG 1

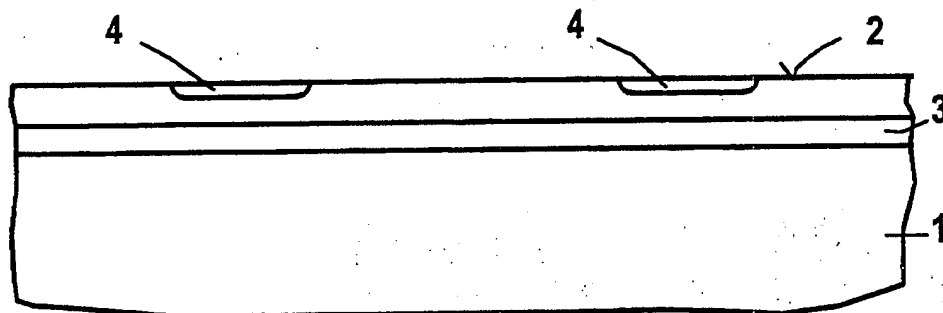


FIG 2

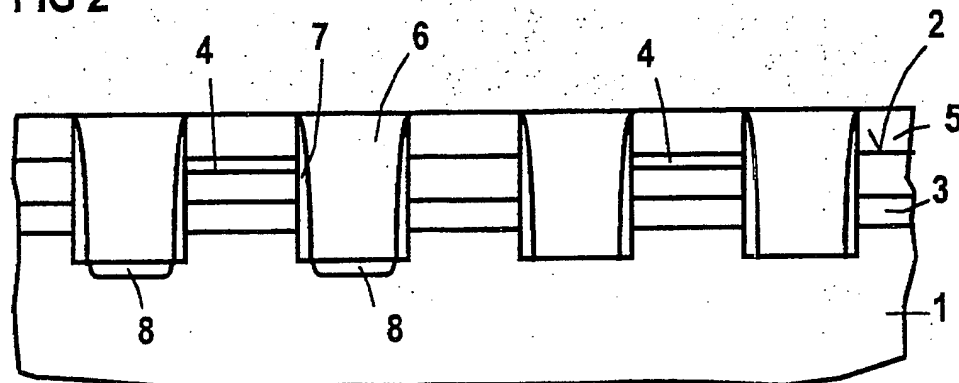


FIG 3

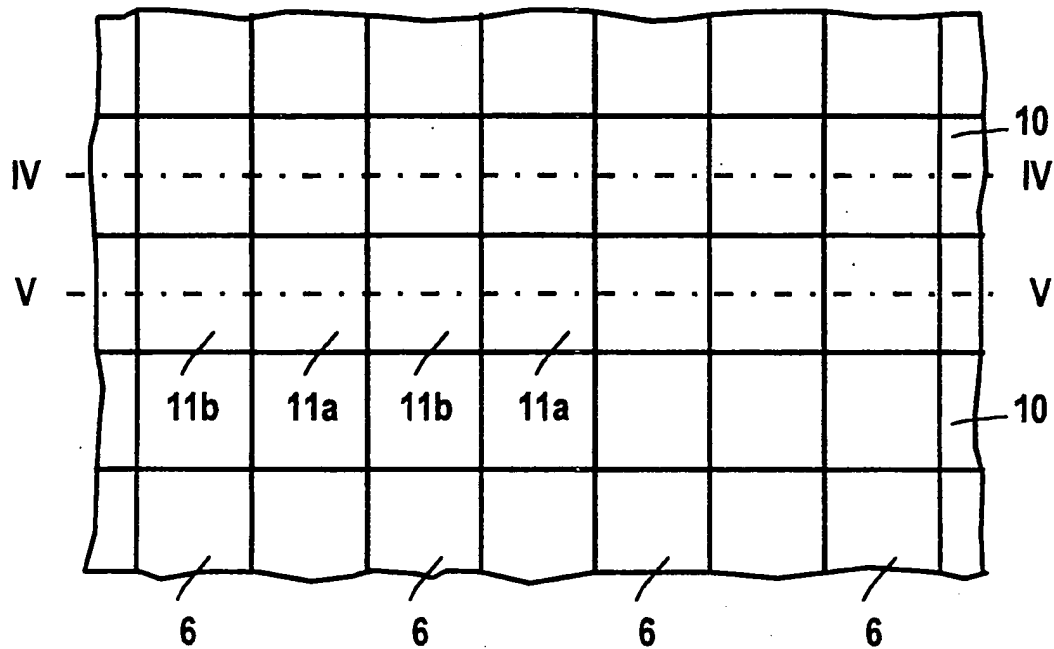


FIG 4

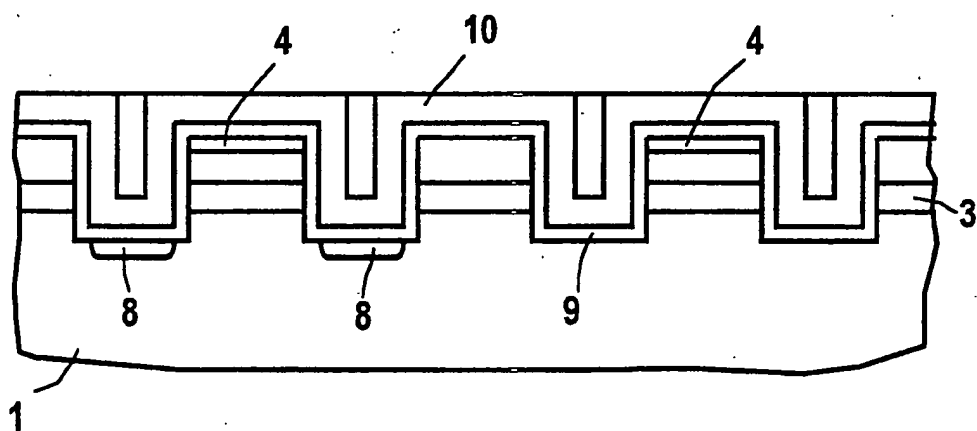


FIG 5

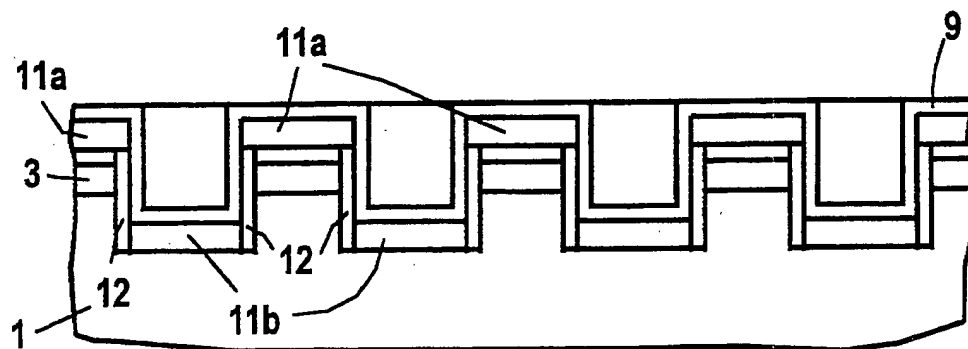


FIG 6

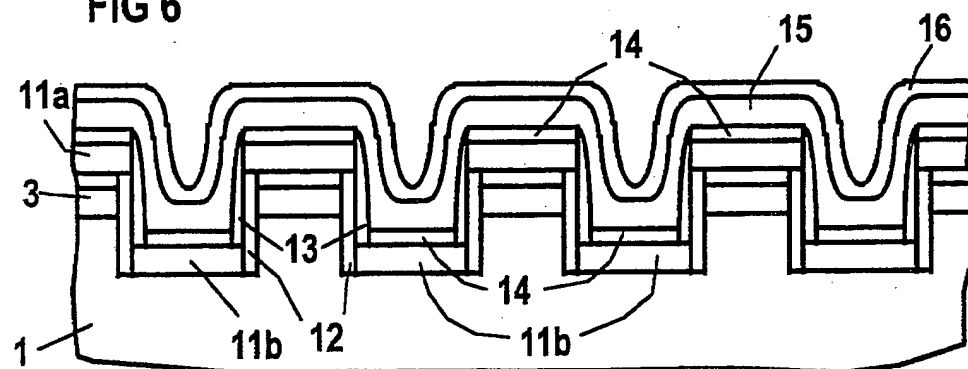


FIG 11

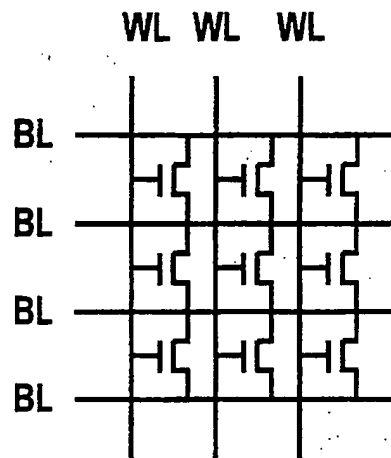


FIG 9

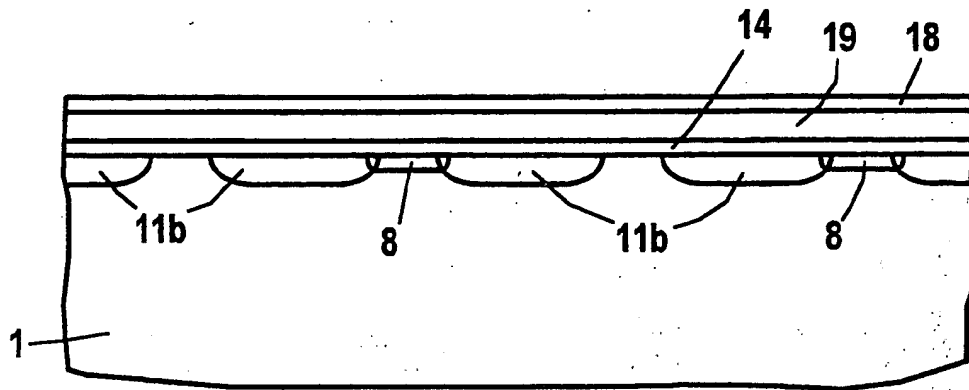
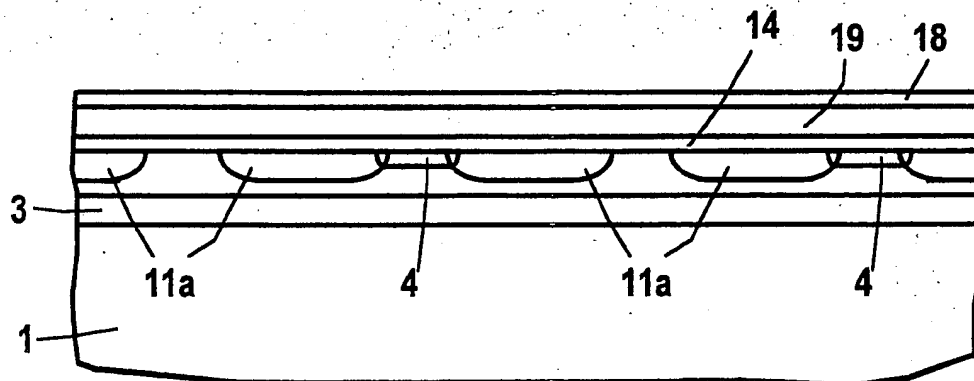


FIG 10



DOCKET NO: EHF 2001,0167P

SERIAL NO: 09/873,230

APPLICANT: Benesch et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100

702024/339

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

BLANK PAGE